

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030027180 A
 (43)Date of publication of application: 07.04.2003

(21)Application number: 1020010056830
 (22)Date of filing: 14.09.2001

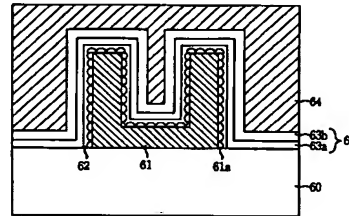
(71)Applicant: HYNIX SEMICONDUCTOR INC.
 (72)Inventor: LEE, GI JEONG
 OH, JONG HYEOK

(51)Int. Cl. H01L 27/108

(54) SEMICONDUCTOR DEVICE HAVING HIGH DIELECTRIC LAYER AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device having a high dielectric layer is provided to guarantee sufficiently high capacitance regardless of a reduced unit cell area by controlling a low dielectric oxide layer on an interface between a lower electrode and a dielectric layer so that the thickness of an effective oxide layer becomes lower than that of NO or Ta₂O₅.



CONSTITUTION: The first dielectric layer contains aluminum. The second dielectric layer has a dielectric constant larger than that of the first dielectric layer, stacked on the first dielectric layer. The first dielectric layer is Al₂O₃(63a). The second dielectric layer is at least one of a tantalum-containing oxide, a perovskite oxide or a composition thereof.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20031230)

Patent registration number (1004155380000)

Date of registration (20040106)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/108

(11) 공개번호 특2003-0027180
(43) 공개일자 2003년04월07일

(21) 출원번호 10-2001-0056830
(22) 출원일자 2001년09월14일
(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이기정
서울특별시 송파구 석촌동270-2
오증혁
경기도여주군가남면가남마을아파트101-803
(74) 대리인 특허법인 신성

심사결과 있음

(54) 고유전막을 구비한 반도체 소자 및 그 제조 방법

요약

본 발명은 고집적 반도체 소자에서 요구되는 충전 용량을 충분히 확보하면서, 막내 불순물 잔류에 따른 누설전류특성 및 유전특성 열화를 방지하도록 한 반도체 소자 및 그 제조 방법에 관한 것으로, 이를 위한 본 발명의 캐패시터는 모두 페로브스카이트 구조를 갖고 공유결합된 제1유전막(Al_2O_3)과 유전율이 큰 제2유전막(TaON , Ta_2O_5 , $\text{BST}[(\text{Ba}, \text{Sr})\text{TiO}_3]$)이 적층된 유전막을 구비함으로써, 제1유전막이 제2유전막 증착후 이루어지는 열처리 과정에서 산소가 전극으로 확산하는 것을 방지하여 전극과 유전막의 계면에서 자유전산화물의 형성을 억제하므로 유효산화막 두께(Tox)를 낮출 수 있어 반도체 소자의 고집적화에 따른 단위 셀 면적 감소에도 불구하고 256M급 이상의 차세대 DRAM 제품에 필요한 25fF/cell 이상의 높은 충전 용량값을 충분히 확보할 수 있다.

도면도

도8

색인어

캐패시터, TaON , 고유전막, 유전율, 산소, 자유전산화물, 누설전류

영제서

도면의 간단한 설명

도 1은 종래기술의 제1예에 따른 적층형 캐패시터를 도시한 도면,
도 2는 종래기술의 제2예에 따른 실린더형 캐패시터를 도시한 도면,
도 3은 본 발명의 제1실시예에 따른 $\text{Al}_2\text{O}_3/\text{TaON}$ 의 유전막을 구비한 반도체소자의 구조 단면도,
도 4는 도 3에 도시된 반도체소자의 제조 방법을 설명하기 위한 공정 흐름도,
도 5는 본 발명의 제2실시예에 따른 $\text{Al}_2\text{O}_3/\text{TaON}$ 의 유전막을 구비한 적층형 캐패시터의 제1예를 도시한 구조 단면도,
도 6는 본 발명의 제2실시예에 따른 $\text{Al}_2\text{O}_3/\text{TaON}$ 의 유전막을 구비한 적층형 캐패시터의 제2예를 도시한 구조 단면도,
도 7은 본 발명의 제3실시예에 따른 $\text{Al}_2\text{O}_3/\text{TaON}$ 의 유전막을 구비한 실린더형캐패시터의 제1예를 도시한 구조 단면도,
도 8은 본 발명의 제3실시예에 따른 $\text{Al}_2\text{O}_3/\text{TaON}$ 의 유전막을 구비한 실린더형캐패시터의 제2예를 도시한 구

조 단면도.

도 9는 본 발명의 제 2, 3 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도.

도면의 주요 부분에 대한 부호의 설명

61 : 제1전극 61a : 요철
62 : 절화막 63a : Al_2O_3
63b : Ta_2O_5 64 : 제2전극

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자에 관한 것으로, 특히 유전막을 구비하는 반도체소자 및 그 제조 방법에 관한 것이다.

일반적으로 반도체소자의 DRAM 및 로직의 게이트산화막으로 열(Thermally) 또는 급속열처리(Rapid thermal)에 의해 성장된 SiO_2 를 사용하고 있다. 소자의 디자인룰이 감소함에 따라 게이트산화막의 터널링유효두께(Tunneling Effective thickness; T_{eff})는 SiO_2 의 터널링한계가 되는 25~30 Å 이하로 줄어드는 추세에 있으며, 0.1 μm 급 소자에서의 게이트산화막으로 25~30 Å 두께가 예상되나, 직접터널링(Direct tunneling)에 의한 오프전류(Off-current)의 증가로 말미암아 소자의 동작에 악영향이 우려되며, 특히 메모리소자의 경우 누설전류의 감소가 중요한 현안이다.

이를 극복하기 위하여 고유전율물질(High-k dielectric material)을 게이트산화막으로 채용하는 연구가 진행되고 있다. 이러한 고유전을 게이트산화막으로 캐패시터 스토리지(Capacitor storage)에 사용되던 Ta_2O_5 를 비롯한 TiO_2 , Al_2O_3 , HfO_2 등을 이용하는 연구가 활발하다.

최근 미세화된 반도체 공정기술의 발달로 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀면적이 크게 감소하고 있으며, 동작전압의 저전압화가 이루어지고 있다.

그러나 기억속자의 동작에 필요한 충전용량은 셀면적 감소에도 불구하고, 소프트 에러의 발생과 리프레쉬 시간의 단축을 방지하기 위해서 25 fF/셀 이상의 충분한 용량이 요구되고 있다.

따라서, NO(Nitride/Oxide) 구조의 절화막을 유전막으로 사용하고 있는 캐패시터의 경우 표면적이 큰 반구형 구조의 전극 표면을 갖는 3차원 형태의 전하저장전극을 사용하고 있으며, 그 높기도 점점 증가하고 있다.

한편, 캐패시터의 높이가 증가하게 되면, 셀지역과 주변회로지역간에 발생하는 높이 차이로 인해 후속 노광 공정시 초점심도가 확보되지 않아 배선공정후 집적공정에 악영향을 미치게 된다.

결국, NO를 유전막으로 이용하는 캐패시터는 256M 이상의 차세대 메모리 제품에 필요한 충전용량을 확보하는데 그 한계를 보이고 있다.

따라서, 반도체 소자가 고집적화됨에 따라 충분한 정전용량을 확보하기 위해, 캐패시터의 구조를 SiO_2 , Si_3N_4 , NO에 비해 유전율이 큰 Ta_2O_5 , TiO_2 , $SrTiO_3$, $(Ba,Sr)TiO_3$ 등의 고유전율질에 대한 연구가 활발히 진행되고 있다.

특히, 유전율(ϵ)이 4~5인 NO보다 탄탈륨산화막(Ta_2O_5)은 비교적 유전율($\epsilon=25\sim27$)이 높아 적용 가능성이 높은 것으로 알려졌다.

도 1은 종래기술의 일예에 따른 캐패시터를 도시한 도면이다.

도 1에 도시된 바와 같이, 도우프드 폴리실리콘(Doped polysilicon)으로 이루어진 하부전극인 제1전극(11), SiO_2/Si_3N_4 (또는 SiO_2/Ta_2O_5)의 적층구조로 이루어진 유전막(12)과 도우프드 폴리실리콘으로 이루어진 상부전극인 제2전극(13)을 포함한다.

여기서, 유전막(12)은 SiO_2 외에 Si_3N_4 를 포함하는 SiO_2N_x/Si_3N_4 (또는 SiO_2N_x/Ta_2O_5)으로 이루어진다.

그리고, 제1전극(11)과 제2전극(13)은 도우프드 폴리실리콘(Doped polysilicon; D-poly si) 및 도우프드 비정질실리콘(Doped amorphous silicon)과 같은 실리콘계 물질이거나, TiN , TaN , W , WN , WSi , Ru , RuO_2 , Ir , IrO_2 , Pt 와 같은 금속계 물질을 포함한다.

그러나, 상술한 종래기술의 일예는 단순 적층 구조이므로 충전용량을 증가시키는데는 한계가 있다.

도 2는 종래기술의 다른 예에 따른 캐패시터를 도시한 도면이다.

도 2에 도시된 바와 같이, 도우프드 폴리실리콘을 포함하는 하부전극인 제1전극(11), SiO_2/Si_3N_4 (또는 SiO_2/Ta_2O_5)의 적층구조로 이루어진 유전막(12)과 도우프드 폴리실리콘을 포함하는 상부전극인 제2전극

(13)을 포함한다.

여기서, 유전막(12)은 SiO_2 외에 SiO_xN_y 를 포함하는 SiO_xN_y/Si_3N_4 (또는 SiO_xN_y/Ta_2O_5)으로 이루어지고, 제1전극(11)과 제2전극(13)은 도우프트 폴리실리콘(0-poly si) 및 도우프트 비정질실리콘과 같은 실리콘계 물질이거나, TiN , TaN , W , WN , WSi , Ru , RuO_2 , Ir , IrO_2 , Pt 와 같은 금속계 물질 및 금속산화물을 포함한다.

상술한 종래기술의 다른 예에서는, 실린더(cylinder) 구조를 기본으로 하는 이중 및 삼중 구조와 같은 다양한 3차원 구조를 갖고, 반구형(Hem. Spherical Grain) HSG 폴리실리콘층(11a)이 추가로 형성된 구조를 가져 제1전극의 표면적을 증대시키고 있다.

한편, 도 2의 도면부호 10은 제 1 전극(11)을 트랜지스터의 소스/드레인이거나, 소스/드레인에 접속시키기 위한 플러그를 포함하는 접속층(interconnection)이다.

그러나, SiO_2/Si_3N_4 (또는 SiO_xN_y/Si_3N_4)는 충분한 충전용량 확보에 한계가 있다.

한편, 탄탈륨산화막(Ta_2O_5)은 불안정한 화학양론비(stoichiometry)를 갖고 있기 때문에 탄탈륨(Ta)과 산소(O)의 조성비 차이에 기인한 산소 공공(oxygen vacancy) 상태의 치환형 탄탈륨원자가 항상 국부적으로 박막내에 존재할 수 밖에 없다.

특히, 이와 같은 산소 공공의 수는 성분들의 함량과 결합정도에 따라 다소의 차이는 있을 수 있지만, 완전하게 제거할 수 있는 방법이 없는 것으로 알려져 있다.

더욱이, 탄탈륨산화막은 상하부전극으로 사용하고 있는 폴리실리콘 또는 TiN 과의 산화반응성이 높아 박막내에 존재하는 산소가 계면으로 이동하여 자유전 산화층을 형성하거나 계면의 균질성을 저하시키는 문제가 있다.

그리고, 박막 형성시, 탄탈륨산화막의 전구체인 $Ta(OC_2H_5)_5$ 의 유기물과 O_2 (또는 N_2O)의 반응으로 인해 막내에 불순물인 탄소원자(C), 탄소화합물(CH_4 , C_2H_4) 및 수분(H_2O)도 함께 존재하게 된다.

결국, 탄탈륨산화막내에 불순물로 존재하는 탄소원자, 이온(Ion)과 라디칼(Radical)로 인해서 캐패시터의 누설전류가 증가하게 되고 유전특성이 열화되는 문제점을 내포하고 있다.

따라서, 이러한 막내 잔류하는 불순물을 제거하기 위한 저온 열처리 공정을 진행해야만 하는 공정의 복잡성이 존재하는 문제점이 있다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 고집적 반도체 소자에서 요구되는 충전 용량을 충분히 확보하면서 막내 불순물 잔류에 따른 누설전류특성 및 유전특성 열화를 방지하는 데 적합한 유전막을 구비하는 반도체 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 유전막은 알루미늄이 함유된 제1유전막, 상기 제1유전막상에 적층되며 상기 제1유전막보다 큰 유전율을 갖는 제2유전막을 포함함을 특징으로 하며, 상기 제1유전막은 Al_2O_3 이고, 상기 제2유전막은 탄탈륨함유 산화물($TaON$, Ta_2O_5) 및 페로브스카이트 산화물(BST)중에서 선택된 적어도 하나를 포함함을 특징으로 한다.

그리고, 본 발명의 반도체소자는 반도체기판, 상기 반도체기판상의 알루미늄이 함유된 제1게이트절연막, 상기 제1게이트절연막상에 적층되며 상기 제1게이트절연막보다 큰 유전율을 갖는 제2게이트절연막, 및 상기 제2유전막상의 게이트전극을 포함함을 특징으로 한다.

그리고, 본 발명의 반도체소자의 제조 방법은 반도체기판상에 알루미늄이 함유된 제1게이트절연막을 형성하는 단계, 상기 제1게이트절연막상에 상기 제1게이트절연막보다 큰 유전율을 갖는 제2게이트절연막을 형성하는 단계, 및 상기 제2게이트절연막상에 게이트전극을 형성하는 단계를 포함함을 특징으로 한다.

그리고, 본 발명의 캐패시터는 표면에 요철이 구비된 제1전극, 상기 제1전극상에 형성된 질소함유막, 상기 질소함유막상의 알루미늄이 함유된 제1유전막, 상기 제1유전막상의 고유전율을 갖는 제2유전막, 및 상기 유전막상의 제2전극을 포함함을 특징으로 한다.

그리고, 본 발명의 캐패시터의 제조 방법은 제1전극을 형성하는 단계, 상기 제1전극상에 알루미늄이 함유된 제1유전막을 형성하는 단계, 상기 제1유전막상에 상기 제1유전막보다 유전율이 큰 제2유전막을 형성하는 단계, 및 상기 제2유전막상에 제2전극을 형성하는 단계를 포함함을 특징으로 한다.

또한, 본 발명의 캐패시터의 제조 방법은 제1전극을 형성하는 단계, 상기 제1전극의 표면에 요철을 형성하는 단계, 상기 요철이 형성된 제1전극의 표면을 질화처리하는 단계, 상기 질화처리된 상기 제1전극상에 Al_2O_3 을 형성하는 단계, 상기 Al_2O_3 을 열처리하는 단계, 상기 열처리된 Al_2O_3 상에 $TaON$ 을 형성하는 단계, 상기 $TaON$ 을 열처리하는 단계, 및 상기 열처리된 $TaON$ 상에 제2전극을 형성하는 단계를 포함함을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시

할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 3은 본 발명의 제 1 실시예에 따른 반도체소자를 도시한 도면이다.

도 3에 도시된 바와 같이, 실리콘이 함유된 반도체기판(21), 및 반도체기판(21)상에 알루미늄이 함유된 제1게이트산화막(22a)과, 유전율이 높은 제2게이트산화막(22b)이 적층된 게이트산화막(22), 및 게이트산화막(22)상의 게이트전극(23)을 포함한다.

여기서, 제1게이트산화막(22a)은 유전율(ϵ)이 7이며 페로브스카이트(perovskite) 구조(ABO_3)를 가지면서 공유결합되어 있는 Al_2O_3 이고, 제2게이트산화막(22b)은 $TaON$ ($\epsilon=23\sim 25$), Ta_2O_5 ($\epsilon=25\sim 27$) 및 $BST[(Ba, Sr)TiO_3]$ ($\epsilon=200\sim 400$)로 이루어진 그룹중에서 선택되는 적어도 하나를 포함한다.

마올러, 제1게이트산화막(22a)의 두께는 제2게이트산화막(22b)에 비해 얇은데, 제1게이트산화막(22a)은 10Å~20Å의 두께를 갖고 제2게이트산화막(22b)은 50Å~100Å의 두께를 갖는다. 이러한 제1게이트산화막(22a)은 제2게이트산화막(22b)로부터 산소가 확산되어 반도체기판(21) 표면에 저유전층이 형성되는 것을 방지하는 산소확산장벽층이다.

한편, 반도체기판(21)은 실리콘이 함유된 통상적인 반도체기판을 포함하며, 게이트전극(23)은 트랜지스터의 게이트전극으로 작용하는 모든 물질, 예컨대, 도우프트 폴리실리콘(D-poly si) 및 도우프트 비정질실리콘을 포함하는 실리콘계 물질, TiN , TaN , W , WN , Ru , Ir 및 Pt 를 포함하는 금속 물질, RuO_2 및 IrO_2 를 포함하는 금속산화물 및 WSi를 포함한 실리사이드로 이루어진 그룹중에서 선택된 적어도 하나를 포함한다.

한편, 게이트전극(23)으로 TiN 을 적용하는 경우, 구조적인 안정성을 확보하고 열적 또는 전기적 충격에 대해 TiN 의 내구성을 향상시키기 위해 완충층으로 도우프트 폴리실리콘을 적층할 수 있다.

도면에 도시되진 않았지만, 제1게이트산화막(22a)과 반도체기판(21) 사이에 질소함유막을 더 구비하여 저유전 산화층의 형성을 더욱 억제시킬 수 있다.

도 4는 도 3에 도시된 반도체소자의 제조 방법을 설명하기 위한 공정 흐름도이다.

도 4에 도시된 바와 같이, 실리콘이 함유된 반도체기판(21)의 표면에 생성된 자연산화막(SiO_2)을 제거하기 위해 표면처리 공정을 실시하거나 또는 자연산화막의 형성을 방지하고 후속 Al_2O_3 증착과정에서 생성되는 저유전산화층 형성을 최소화하기 위해 반도체기판(21)의 표면을 질화처리한다(101).

먼저 표면처리 공정은, 인시튜(in-situ) 또는 엑시튜(ex-situ)에서 HF 기체 또는 HF 용액과 같은 HF 화합물을 사용하여 이루어진다.

한편, HF 화합물을 이용하여 도우프트 폴리실리콘을 표면처리하는 과정에서 HF 표면처리 전, 후에 계면을 세정하거나 균일성을 향상시키기 위해 NH_4OH 용액 또는 H_2SO_4 용액 등의 화합물을 사용하여 계면처리공정을 실시한다.

다음으로, 질화처리 공정은 저압 화학기상증착(LPCVD) 챔버에서 유전막 형성 전에 인시튜 또는 엑시튜로 플라즈마를 발생시켜 NH_3 가스 또는 N_2/H_2 가스 분위기에서 이루어지며, 이 때 웨이퍼의 온도는 $300^\circ C \sim 500^\circ C$ 를 유지한다.

그리고, 질화처리 공정의 다른 예는 인시튜 또는 엑시튜 방식의 급속열처리(RTP)장치를 이용하여 $750^\circ C \sim 950^\circ C$ 의 온도 및 NH_3 가스 분위기에서 30초~120초동안 급속질화처리(Rapid Thermal Nitridation; RTN)하여 이루어지고, 질화처리 공정의 또다른 예는 전기로를 이용하여 $500^\circ C \sim 1000^\circ C$ 의 온도 및 NH_3 가스 분위기에서 이루어진다.

다음으로, 표면처리 또는 질화처리된 반도체기판(21)상에 제1게이트산화막(22a)으로서 $10\text{\AA} \sim 20\text{\AA}$ 의 Al_2O_3 를 형성하는데(102), Al_2O_3 는 Al 성분의 화학증기를 MFC와 같은 유량조절기를 통해 증발기(evaporizer) 또는 증발관(evaporation tube)으로 공급된 일정량의 $Al(OC_2H_5)_3$ 용액을 $150^\circ C \sim 300^\circ C$ 의 온도 범위내에서 증발시켜 얻는다. 이 때, 산소(O_2)를 첨가한다.

한편, Al_2O_3 를 증착하기전에 인시튜 플라즈마를 사용하여 NO 또는 O_2 분위기에서 $200^\circ C \sim 600^\circ C$ 에서 열처리하여 땀글링본드(dangling bond)에 기인한 구조적 결함(defect) 및 구조적 불균일성(homogeneity)을 개선하여 누설전류 특성을 향상시킨다.

다음으로, 후속 $TaON$ 증착후 진행되는 고온열공정에서 산화제(또는 활성산소)(Oxidant)가 도우프트 폴리실리콘으로 확산하지 못하도록 하는 확산장벽역할을 하도록 $800^\circ C \sim 950^\circ C$ 의 온도와 N_2 또는 N_2/O_2 가스 분위기의 급속열처리(Rapid Thermal Process; RTP) 장치에서 30초~120초간 열처리하여 Al_2O_3 의 결정화를 유도한다(103).

한편, Al_2O_3 의 결정화를 유도하기 위한 열공정은 전기로(Furnace)를 이용하여 $700^\circ C \sim 800^\circ C$ 의 N_2O , N_2 또는 N_2/O_2 가스 분위기에서 10분~30분동안 열처리하여도 동일한 효과를 얻을 수 있다.

다음으로, 결정화된 Al_2O_3 상에 제2게이트산화막(22b)으로서 $TaON$ 을 형성하는데(104), $TaON$ 은 $300^\circ C \sim 600^\circ C$ 의 온도와 0.1~5torr의 압력으로 유지된 저압 화학기상증착 챔버(Low Pressure Chemical Vapor Deposition chamber; 이하 'LPCVD' 챔버라 약칭함) 내에서 Ta 화합물 증기가스와 반응가스인 NH_3 가스($10\text{scm} \sim 1000\text{scm}$) 또는 O_2 가스($0\text{scm} \sim 300\text{scm}$)를 MFC(Mass Flow Controller)를 통해 정량 공급하여 웨

미퍼 상에서 일어나는 표면화학반응을 통해 50Å ~ 100Å 두께의 비정질상의 Ta₂O₅를 형성한 후, Ta₂O₅의 결정화를 유도하기 위한 고온 열공정을 실시한다(104).

여기서, Ta₂O₅ 화합물 증기 가스는 99.999% 이상의 Ta(OC₂H₅)₅ 또는 Ta(N(CH₃)₂)₅와 같은 유기금속화합물을 MFC와 같은 유량 조절기를 사용하여 150°C ~ 200°C의 온도로 유지되고 있는 증발기 또는 증발판에서 증발시켜 생성하며, 이러한 증기 가스는 용촉을 방지하기 위해 150°C ~ 200°C의 온도 범위를 항상 유지하는 공급관을 따라 0.1 ~ 5torr의 압력을 유지하는 LPCVD 챔버내로 주입하여 Ta₂O₅를 증착한다.

그리고, 비정질상의 Ta₂O₅를 증착한 후 이루어지는 고온 열공정은 800°C ~ 950°C의 온도와 N₂O, N₂ 또는 N₂/O₂ 가스 분위기에서의 급속열처리(Rapid Thermal Process; RTP) 장치에서 30초 ~ 120초간 실시하는데, 이는 비정질 상태의 Ta₂O₅의 결정화를 유도하여 유전율을 증가시킨다. 이 때, Ta₂O₅내 잔류하는 불순물, 예컨대, CO, CO₂, H₂O, CH₄, C₂H₆ 등이 제거된다.

전술한 결정화를 유도하기 위한 고온 열공정은 급속열처리장치 외에 전기로(Furnace)를 이용하여 700°C ~ 800°C의 N₂O, N₂ 또는 N₂/O₂ 가스 분위기에서 10분 ~ 30분동안 열처리하여도 동일한 효과를 얻을 수 있다.

한편, Ta₂O₅ 및 Al₂O₃을 증착하기 위한 증착법은 저압화학기상증착법(LPCVD) 외에 원자층증착법(Atomic Layer Deposition; ALD)을 이용할 수 있다.

다음으로, Ta₂O₅상에 게이트전극(23)을 증착한다(106). 이 때, 게이트전극(23)은 저압화학기상증착법(Low Pressure CVD; LPCVD), 플라즈마화학기상증착법(Plasma Enhanced CVD; PECVD), 또는 고주파 자기 스퍼터링법(RF-magnetic sputtering; RF-MS)에 의해 증착된다.

상술한 바와 같은 제1실시예는, 반도체기판상에 Al₂O₃을 형성함으로써 높은 유전율을 갖는 Ta₂O₅이 유전율이 낮은 SiO₂로 전이되는 것을 방지하여, 낮은 누설전류 수준을 유지할 수 있다.

그리고, Al₂O₃가 페로브스카이트구조를 갖기 때문에 기계적 강도가 커, 높은 절연파괴전압을 얻을 수 있으며, 높은 유전율을 갖는 Ta₂O₅를 이용하므로 소자 동작에 필요한 충전용량을 충분히 확보할 수 있다.

도 5는 본 발명의 제 2 실시예에 따른 적층형 캐패시터의 제1예를 도시한 구조 단면도이다.

도 5에 도시된 바와 같이, 제1전극(31), 유전막(32), 제2전극(33)으로 이루어지며, 유전막(32)은 페로브스카이트구조를 가지면서 공유결합된 제1유전막(32a)과 유전율이 큰 제2유전막(32b)을 이종으로 적층한 캐패시터의 유전막이다.

여기서, 제1유전막(22a)은 유전율(ϵ)이 7이며 페로브스카이트 구조(ABO₃)를 가지면서 공유결합되어 있는 Al₂O₃이고, 제2유전막(22b)은 Ta₂O₅($\epsilon=23 \sim 25$), Ta₂O₅($\epsilon=25 \sim 27$) 및 BST[(Ba,Sr)TiO₃]($\epsilon=200 \sim 400$)로 이루어진 그룹 중에서 선택된 적어도 하나를 포함한다.

마를러, 제1유전막(22a)의 두께는 제2유전막(22b)에 비해 얇은데, 제1유전막(22a)은 10Å ~ 20Å의 두께를 갖고 제2유전막(22b)은 50Å ~ 100Å의 두께를 갖는다.

그리고, 하부전극인 제1전극(21)과 상부전극인 제2전극(23)은 도우프트 폴리실리콘(D-poly-si) 및 도우프트 비정질실리콘을 포함하는 실리콘계 물질, TiN, TaN, W, WN, Ru, Ir 및 Pt를 포함하는 금속 물질, RuO₂ 및 IrO₂를 포함하는 금속산화물 및 WSi를 포함한 실리사이드로 이루어진 전극물질 중에서 선택된 적어도 하나를 포함한다.

한편, 제2전극(23)으로 TiN을 적용하는 경우, 구조적인 안정성을 확보하고 열적 또는 전기적 충격에 대해 TiN의 내구성을 향상시키기 위해 완충층으로 도우프트 폴리실리콘을 적용할 수 있다.

도 6은 본 발명의 제 2 실시예에 따른 적층형 캐패시터의 제2예를 도시한 구조 단면도이다.

도 6에 도시된 바와 같이, 제1전극(41), 유전막(43), 제2전극(44)으로 이루어지며, 유전막(43)은 페로브스카이트구조를 가지면서 공유결합된 제1유전막(43a)과 유전율이 큰 제2유전막(43b)을 이종으로 적층한 유전막이고, 제1전극(44)과 유전막(43)(특히 제1유전막)의 계면에 질화처리(Nitridation)에 의한 질화막(42)이 구비된다.

여기서, 질화막(42)은 제1전극(41) 표면의 자연산화막 생성을 방지하고 유전막의 증착과정에서 제1전극(41)과 유전막(43)의 계면에 자유산화층이 형성되는 것을 최소화하기 위한 산소확산장벽층의 역할을 하며, 이러한 질화막(42)은 Si₃N₄, Si₂N₂를 포함한다.

그리고, 제1유전막(43a)은 유전율(ϵ)이 7이며 페로브스카이트구조(ABO₃)를 가지면서 공유결합되어 있는 Al₂O₃이고, 제2유전막(43b)은 Ta₂O₅($\epsilon=23 \sim 25$), Ta₂O₅($\epsilon=25 \sim 27$) 및 BST[(Ba,Sr)TiO₃]($\epsilon=200 \sim 400$)로 이루어진 그룹 중에서 선택된 적어도 하나를 포함한다.

마를러, 제1유전막(43a)의 두께는 제2유전막(43b)에 비해 얇은데, 제1유전막(43a)은 10Å ~ 20Å의 두께를 갖고 제2유전막(43b)은 50Å ~ 100Å의 두께를 갖는다.

그리고, 하부전극인 제1전극(41)과 상부전극인 제2전극(44)은 도우프트 폴리실리콘 및 도우프트 비정질실리콘과 같은 실리콘계 물질, TiN, TaN, W, WN, Ru, Ir 및 Pt를 포함하는 금속 물질, RuO₂ 및 IrO₂를 포함하는 금속산화물 및 WSi를 포함한 실리사이드로 이루어진 전극물질 중에서 선택된 적어도 하나를 포함한다.

상술한 제2실시예에서, 제1유전막인 Al₂O₃은 페로브스카이트 구조를 가지면서 공유결합되어 있으므로 구조적으로 매우 안정된 결정화된 박막이다. 따라서 후속 제2유전막의 열처리과정에서, 활성산소가 제2유전막

을 뚫고 아래로 확산하는 것을 방지하는 확산장벽(Diffusion barrier) 역할을 하므로 하부전극인 제1전극과의 계면에서 저유전 산화층이 형성되는 것을 방지한다.

특히, 제2실시예에서, 질화처리막이 더 구비되므로써 제1전극과 유전막의 계면에서 산소확산에 의한 저유전 산화층 형성이 더욱 억제된다.

아울러, 제1 및 제2실시예는 고유전율을 갖는 제2유전막과 저유전산화층 형성을 억제하는 제1유전막을 구비하므로 유효산화막 두께(Tox)를 30 Å 이하로 조절가능하며 충전용량을 충분히 확보하고, 누설전류 특성이 우수하다.

도 7은 본 발명의 제 3 실시예에 따른 실린더형 캐패시터의 제1예를 도시한 구조 단면도이다.

도 7에 도시된 바와 같이, 트랜지스터의 소스/드레인, 또는 소스/드레인에 접속시키기 위한 플러그를 포함하는 접속층(interconnection)(50)상에 그 표면에 요철(51a)이 구비된 실린더형 제1전극(51), 제1전극(51)상의 적층구조의 유전막(52), 유전막(52)상의 제2전극(53)으로 이루어지며, 유전막(52)은 기계적강도가 큰 제1유전막(52a)과 유전율이 큰 제2유전막(52b)을 이종으로 적층한 캐패시터의 유전막이다.

여기서, 제1유전막(52a)은 유전율(ϵ)이 7이며 페로브스카이트 구조(ABO_3)를 가지면서 공유결합된 Al_2O_3 이고, 제2유전막(52b)은 $TaON$ ($\epsilon=23\sim25$), Ta_2O_5 ($\epsilon=25\sim27$) 및 $BST[(Ba, Sr)TiO_3]$ ($\epsilon=200\sim400$)로 이루어진 그룹중에서 선택된 적어도 하나를 포함한다.

아울러, 제1유전막(52a)의 두께는 제2유전막(52b)에 비해 얇은데, 제1유전막(52a)은 10 Å~20 Å의 두께를 갖고 제2유전막(52b)은 50 Å~100 Å의 두께를 갖는다.

그리고, 하부전극인 제1전극(51)과 상부전극인 제2전극(53)은 도우프트 폴리실리콘(D-poly si) 및 도우프트 비정질실리콘을 포함하는 실리콘계 물질, TiN , TaN , W , WN , Ru , Ir 및 Pt 를 포함하는 금속 물질, RuO_2 및 IrO_2 를 포함하는 금속산화물 및 WSi를 포함한 실리콘사이드로 이루어진 전극물질중에서 선택된 적어도 하나를 포함한다.

한편, 제2전극(53)으로 TiN 을 적용하는 경우, 구조적인 안정성을 확보하고 열적 또는 전기적 충격에 대해 TiN 의 내구성을 향상시키기 위해 완충층으로 도우프트 폴리실리콘을 적용할 수 있다.

상술한 제1전극(51)은 실린더(cylinder) 구조를 기본으로 하는 이중 및 삼중 구조와 같은 다양한 3차원 구조를 갖거나, 반구형(HSG) 폴리실리콘층과 같은 요철(51a)이 추가로 형성된 구조를 가져 제1전극(51)의 표면적을 충분히 증대시키므로 충전용량을 충분히 확보할 수 있다.

도 8은 본 발명의 제 3 실시예에 따른 실린더형 캐패시터의 제2예를 도시한 구조 단면도이다.

도 8에 도시된 바와 같이, 트랜지스터의 소스/드레인, 또는 소스/드레인에 접속시키기 위한 플러그를 포함하는 접속층(60)상에 그 표면에 요철(61a)이 구비된 실린더형 제1전극(61), 제1전극(61)상의 적층구조의 유전막(63), 유전막(63)상의 제2전극(64)으로 이루어지며, 유전막(63)은 기계적강도가 큰 제1유전막(63a)과 유전율이 큰 제2유전막(63b)을 이종으로 적층한 캐패시터의 유전막이고, 제1전극(61)과 유전막(63)의 계면에 질화처리에 의한 질화막(62)이 구비된다.

여기서, 질화막(62)은 제1전극(61) 표면의 자연산화막 생성을 방지하고 유전막의 증착과정에서 제1전극(61)과 유전막(63)의 계면에 저유전 산화층이 형성되는 것을 최소화하기 위한 산소확산장벽층의 역할을 한다.

그리고, 제1유전막(63a)은 유전율(ϵ)이 7이며 페로브스카이트 구조(ABO_3)를 가지면서 공유결합된 Al_2O_3 이고, 제2유전막(63b)은 $TaON$ ($\epsilon=23\sim25$), Ta_2O_5 ($\epsilon=25\sim27$) 및 $BST[(Ba, Sr)TiO_3]$ ($\epsilon=200\sim400$)로 이루어진 그룹중에서 선택되는 적어도 하나를 포함한다.

아울러, 제1유전막(63a)의 두께는 제2유전막(63b)에 비해 얇은데, 제1유전막(63a)은 10 Å~20 Å의 두께를 갖고 제2유전막(63b)은 50 Å~100 Å의 두께를 갖는다.

그리고, 하부전극인 제1전극(61)과 상부전극인 제2전극(64)은 도우프트 폴리실리콘(D-poly si) 및 도우프트 비정질실리콘을 포함하는 실리콘계 물질, TiN , TaN , W , WN , Ru , Ir 및 Pt 를 포함하는 금속 물질, RuO_2 및 IrO_2 를 포함하는 금속산화물 및 WSi를 포함한 실리콘사이드로 이루어진 전극물질중에서 선택된 적어도 하나를 포함한다.

한편, 제2전극(64)으로 TiN 을 적용하는 경우, 구조적인 안정성을 확보하고 열적 또는 전기적 충격에 대해 TiN 의 내구성을 향상시키기 위해 완충층으로 도우프트 폴리실리콘을 적용할 수 있다.

상술한 제1전극(61)은 실린더 구조를 기본으로 하는 이중 및 삼중 구조와 같은 다양한 3차원 구조를 갖거나, 반구형(HSG) 폴리실리콘층과 같은 요철(61a)이 추가로 형성된 구조를 가져 제1전극(61)의 표면적을 충분히 증대시키므로 충전용량을 충분히 확보할 수 있다.

상술한 제 2, 3 실시예에서, 제1유전막인 Al_2O_3 는 페로브스카이트 구조를 가지면서 공유결합되어 있으므로 구조적으로 매우 안정된 결정화된 박막이다. 따라서 후속 제2유전막의 열처리과정에서 활성산소가 제2유전막을 뚫고 아래로 확산하는 것을 방지하는 확산장벽 역할을 하므로 하부전극인 제1전극과의 계면에서 저유전 산화층이 형성되는 것을 방지한다.

특히, 제 3 실시예에서 질화함유막이 더 구비되므로써 제1전극과 유전막의 계면에서 산소확산에 의한 저유전 산화층 형성이 더욱 억제된다.

아울러, 제 3 실시예는 고유전율을 갖는 제2유전막과 저유전산화층 형성을 억제하는 제1유전막을 구비하면서 제1전극의 표면에 요철을 구비하여 표면적이 증대되므로, 제2 실시예에 비해 캐패시터의 충전용량이

다. 크다.

한편, 제 3 실시예에서는 실린더형 캐패시터를 설명하였으나, 오목형(Concave) 캐패시터에서도 동일한 효과를 얻을 수 있다.

도 9는 본 발명의 제 2, 3 실시예에 따른 $Al_2O_3/TaON$ 의 적층 유전막을 구비하는 캐패시터의 제조 방법을 설명하기 위한 도면으로서, 제1, 2전극으로 도우프드 폴리실리콘(0-poly-si), 제1유전막으로서 Al_2O_3 , 제2 유전막으로서 $TaON$ 을 이용한 경우를 도시하고 있다. 이 때, 도면에 도시되진 않았지만, 도우프드 폴리실리콘의 표면에 반구형 폴리실리콘(HSG)과 같은 요철을 형성한다.

먼저 제1전극으로서 도우프드 폴리실리콘(0-poly-si)을 증착한 후(200), 도우프드 폴리실리콘 표면에 생성된 자연산화막(SiO_2)을 제거하기 위해 표면처리 공정을 실시하거나 또는 자연산화막(또는 저유전산화층)의 형성을 방지하고 후속 Al_2O_3 증착과정에서 생성되는 저유전산화층 형성을 최소화하기 위해 도우프드 폴리실리콘의 표면을 질화처리한다(201).

먼저 표면처리 공정은, 인시루 또는 엑시루에서 HF 기체 또는 HF 용액과 같은 HF 화합물을 사용하여 이루어지며, HF 화합물을 이용하여 도우프드 폴리실리콘을 표면처리하는 과정에서 HF 표면처리 전 후에 계면을 세정하거나 균일성을 향상시키기 위해 NH_4OH 용액 또는 H_2SO_4 용액 등의 화합물을 사용하여 계면처리공정을 실시한다.

다음으로, 질화처리 공정은 저압 화학기상증착(LPCVD) 챔버에서 유전막 형성 전에 인시루 또는 엑시루로 플라즈마를 방전시켜 NH_3 가스 또는 N_2/H_2 가스 분위기에서 이루어지며, 이 때 웨이퍼의 온도는 $300^\circ C \sim 500^\circ C$ 를 유지한다.

그리고, 질화처리 공정의 다른 예는 인시루 또는 엑시루 방식의 급속열처리(RTP)장치를 이용하여 $750^\circ C \sim 950^\circ C$ 의 온도 및 NH_3 가스 분위기에서 30초~120초동안 급속질화처리(RTN)하여 이루어지고, 질화처리 공정의 또다른 예는 전기로를 이용하여 $500^\circ C \sim 1000^\circ C$ 의 온도 및 NH_3 가스 분위기에서 이루어진다.

다음으로, 표면처리 또는 질화처리된 도우프드 폴리실리콘상에 캐패시터의 유전막으로서 $10\text{\AA} \sim 20\text{\AA}$ 의 Al_2O_3 를 형성하는데(202), Al_2O_3 는 Al 성분의 화학증기를 MFC와 같은 유량조절기를 통해 증발기 또는 증발판으로 공급된 일정량의 $Al(OC_2H_5)_3$ 용액을 $150^\circ C \sim 300^\circ C$ 의 온도범위내에서 증발시켜 얻는다. 이 때, 산소(O_2)를 첨가한다.

한편, Al_2O_3 를 증착하기전에 인시루 플라즈마를 사용하여 NO , 또는 O_2 분위기에서 $200^\circ C \sim 600^\circ C$ 에서 열처리하여 매글링본드에 기인한 구조적 결함 및 구조적 불균일성을 개선하여 누설전류 특성을 향상시킨다.

다음으로, 후속 $TaON$ 증착후 진행되는 고온열공정에서 산화제(또는 활성산소)가 도우프드 폴리실리콘쪽으로 확산하지 못하도록 하는 확산장벽역할을 하도록 $800^\circ C \sim 950^\circ C$ 의 온도와 N_2 또는 N_2/O_2 가스 분위기의 급속열처리(RTP) 장치에서 30초~120초간 열처리하여 Al_2O_3 의 결정화를 유도한다(203).

한편, Al_2O_3 의 결정화를 유도하기 위한 열공정은 전기로를 이용하여 $700^\circ C \sim 800^\circ C$ 의 N_2/O_2 , N_2 또는 N_2/O_2 가스 분위기에서 10분~30분동안 열처리하여도 동일한 효과를 얻을 수 있다.

다음으로, 결정화된 Al_2O_3 상에 저압화학기상증착법(LPCVD) 또는 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 이용하여 $TaON$ 을 형성한 후(204), $TaON$ 의 결정화를 유도하기 위한 고온 열공정을 실시한다(205).

예컨대, $TaON$ 의 저압화학기상증착법은 $300^\circ C \sim 600^\circ C$ 의 온도와 $0.1 \sim 5\text{torr}$ 의 압력으로 유지된 저압 화학기상증착 챔버 내에서 Ta 화합물 증기가스와 반응가스인 NH_3 가스($10\text{sccm} \sim 1000\text{sccm}$) 또는 O_2 가스($0\text{sccm} \sim 300\text{sccm}$)를 MFC를 통해 정량 공급하여 웨이퍼 상에서 일어나는 표면화학반응을 통해 $50\text{\AA} \sim 100\text{\AA}$ 두께의 비정질상의 $TaON$ 을 형성한 후, $TaON$ 의 결정화를 유도하기 위한 고온 열공정을 실시한다(205).

여기서, Ta 화합물 증기가스는 99.999% 이상의 $Ta(OC_2H_5)_5$ 또는 $Ta(N(CH_3)_2)_5$ 와 같은 유기금속화합물을 MFC와 같은 유량 조절기를 사용하여 $150^\circ C \sim 200^\circ C$ 의 온도로 유지되고 있는 증발기 또는 증발판에서 증발시켜 생성하며, 이러한 증기 가스는 응축을 방지하기 위해 $150^\circ C \sim 200^\circ C$ 의 온도 범위를 항상 유지하는 공급관을 따라 $0.1 \sim 5\text{torr}$ 의 압력을 유지하는 LPCVD 챔버내로 주입하여 $TaON$ 을 증착한다.

그리고, 비정질상의 $TaON$ 을 증착한 후 이루어지는 고온 열공정은 $800^\circ C \sim 950^\circ C$ 의 온도와 N_2/O_2 , N_2 또는 N_2/O_2 가스 분위기의 급속열처리(Rapid Thermal Process: RTP) 장치에서 30초~120초간 실시하는데, 이는 비정질 상태의 $TaON$ 의 결정화를 유도하여 유전율을 증가시킨다. 이 때, $TaON$ 내 잔류하는 불순물, 예컨대, CO , CO_2 , H_2O , CH_4 , C_2H_6 등이 제거된다.

전술한 결정화를 유도하기 위한 고온 열공정은 급속열처리장치외에 전기로를 이용하여 $700^\circ C \sim 800^\circ C$ 의 N_2/O_2 , N_2 또는 N_2/O_2 가스 분위기에서 10분~30분동안 열처리하여도 동일한 효과를 얻을 수 있다.

한편, $TaON$ 및 Al_2O_3 을 증착하기 위한 증착법은 저압화학기상증착법(LPCVD)외에 원자층증착법(ALD)을 이용할 수 있다.

다음으로, $TaON$ 상에 상부전극인 도우프드 폴리실리콘(0-poly-si)을 형성한다(206). 여기서, 도우프드 폴리실리콘을 포함한 제1, 2전극들은 저압화학기상증착법(LPCVD), 플라즈마화학기상증착법(PECVD), 또는 고주파자기 스퍼터링법(RF-MS)에 의해 증착된다.

전술한 제 2, 3 실시예에 의하면, $Al_2O_3/TaON$ 캐패시터는 Ta_2O_5 캐패시터 형성 공정에서처럼 비정질 Ta_2O_5

증착과정을 통해 인시류 또는 엑시류 N_2O 또는 O_2 , 플라즈마 열처리 및 엑시류 UV-O₂ 열처리 과정과 같은 저온 열처리 공정이 전혀 필요없다.

즉, Ta_2O_5 고유의 불안정한 화학양론비를 안정화시켜 누설전류를 방지하려는 목적으로 박막내에 잔존해 있는 치환형 Ta 원자를 산화시키는 별도의 추가적인 저온 열공정이 필요없다.

그리고, Al_2O_3 는 기계적 및 전기적 강도가 우수한 페로브스카이트구조를 하고 있으며, $TaON$ 은 Ta_2O_5 에 비해 항복전계 특성이 우수하고 화학적 결합구조가 Ta_2O_5 보다 안정된 Ta-O-N 결합구조를 갖고 있기 때문에 외부로부터 인가되는 전기적 충격에 강하다.

결국, 이중의 $Al_2O_3/TaON$ 을 유전막으로 이용하는 캐패시터는 NO , Al_2O_3 , $TaON$, 또는 Ta_2O_5 를 단독으로 이용하는 캐패시터에 비해 외부로부터 인가되는 전기적 충격에 강해 절연파괴전압(Breakdown voltage)이 높고 누설전류 수준(level)이 낮은 전기적 특성을 얻을 수 있다.

그리고, 내산화성이 강한 Al_2O_3 를 $TaON$ 증착전에 형성하여 하부 전극과 $TaON$ 사이의 계면에 발생하는 저유전 산화물의 형성을 원천적으로 억제할 수 있기 때문에 불균일 산화막 형성에 의한 누설 전류 발생을 억제할 수 있다.

도면에 도시되지 않았지만, 본 발명은 $Al_2O_3/TaON(Ta_2O_5, BST)$ 을 포함한 적층 구조의 용량성 유전막을 구비하는 모든 반도체소자에 적용가능하다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 하부전극과 유전막의 계면에서 저유전산화물의 형성을 억제하므로 유효산화막 두께(T_{ox})를 $NO(T_{ox}=45\sim55\text{\AA})$ 나 $Ta_2O_5(T_{ox}=30\sim40\text{\AA})$ 보다 낮출 수 있어 반도체 소자의 고집적화에 따른 단위 셀 면적 감소에도 불구하고 256M급 이상의 차세대 DRAM 제품에 필요한 25f/cell 이상의 높은 충전 용량을 충분히 확보할 수 있는 효과가 있다.

또한, 캐패시터 모듈 형성 공정이 간단한 적층(Stack) 구조라 하더라도 충분한 충전 용량을 얻을 수가 있기 때문에 하부 전극의 면적을 증가시키기 위해 이중 또는 삼중 구조의 복잡한 캐패시터의 모듈이 필요하지 않아 단위 공정수가 적고, 단위 공정 시간이 짧아 생산 원가를 절감하는 효과가 있다.

또한, $Al_2O_3/TaON$ 을 유전막으로 이용함으로써 NO 또는 Ta_2O_5 를 유전막으로 이용하는 캐패시터 및 게이트산화막에 비해 외부로부터 인가되는 전기적 충격에 강해 NO 또는 Ta_2O_5 보다 절연파괴전압이 높고 누설전류 수준이 낮은 우수한 전기적 특성을 얻을 수 있는 효과가 있다.

또한, $Al_2O_3/TaON$ 을 유전막으로 이용하는 캐패시터를 포함한 반도체 소자의 제조 방법은 Ta_2O_5 캐패시터 형성 공정에서처럼 비정질 Ta_2O_5 증착과정을 통해 인시류 또는 엑시류 N_2O 또는 O_2 , 플라즈마 열처리 및 엑시류 UV-O₂ 열처리 과정과 같은 저온 열처리 공정이 전혀 필요없으므로, 단위공정수를 감소시키고, 제조 시간이 짧기 때문에 제조 비용의 절감 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1

알루미늄이 함유된 제1유전막;

상기 제1유전막상에 적층되며 상기 제1유전막보다 큰 유전율을 갖는 제2유전막을 포함함을 특징으로 하는 유전막.

청구항 2

제 1 항에 있어서,

상기 제1유전막은 Al_2O_3 인 것을 특징으로 하는 유전막.

청구항 3

제 1 항에 있어서,

상기 제2유전막은 탄탈륨함유 산화물 및 페로브스카이트 산화물중에서 선택된 적어도 하나 또는 이들의 복합된 산화물을 포함함을 특징으로 하는 유전막.

청구항 4

제 3 항에 있어서,

상기 탄탈륨함유산화물은 $TaON$ 및 Ta_2O_5 중에서 선택된 적어도 하나를 포함함을 특징으로 하는 유전막;

청구항 5

반도체기판;

상기 반도체기판상의 알루미늄이 함유된 제1게이트절연막;

상기 제1게이트절연막상에 적층되며, 상기 제1게이트절연막보다 큰 유전율을 갖는 제2게이트절연막; 및

상기 제2게이트절연막상의 게이트전극

을 포함함을 특징으로 하는 반도체소자.

청구항 6

제 5 항에 있어서,

상기 제1게이트절연막은 Al_2O_3 인 것을 특징으로 하는 반도체소자.

청구항 7

제 5 항에 있어서,

상기 제2게이트절연막은 $TaON$, Ta_2O_5 및 BST 중에서 선택되는 적어도 하나를 포함함을 특징으로 하는 반도체소자.

청구항 8

제 5 항에 있어서,

상기 게이트전극은: 폴리실리콘, 비정질실리콘, 도우프드 폴리실리콘 및 도우프드 비정질실리콘으로 이루어진 그룹중에서 선택되는 적어도 하나를 포함하는 실리콘함유막; TiN , TaN , W , WN , Ru , Ir 및 Pt 으로 이루어진 그룹중에서 선택되는 적어도 하나를 포함하는 금속막; RuO_2 및 IrO_2 로 이루어진 그룹중에서 선택되는 적어도 하나를 포함하는 금속산화물 및 $CoSi$, $MoSi$ 및 WSi 로 이루어진 그룹중에서 선택되는 적어도 하나를 포함하는 실리사이드로 이루어진 그룹중에서 선택된 적어도 하나 또는 이들의 복합막을 포함함을 특징으로 하는 반도체 소자.

청구항 9

제 5 항에 있어서,

상기 반도체기판과 상기 제1게이트절연막 사이에 질소함유막이 더 구비됨을 특징으로 하는 반도체 소자.

청구항 10

제 5 항에 있어서,

상기 제1게이트절연막은 $10\text{Å} \sim 20\text{Å}$ 의 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 11

제 5 항에 있어서,

상기 제2게이트절연막은 $50\text{Å} \sim 100\text{Å}$ 의 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 12

표면에 요철이 구비된 제1전극;

상기 제1전극상에 형성된 질소함유막;

상기 질소함유막상의 알루미늄이 함유된 제1유전막;

상기 제1유전막상의 고유전율을 갖는 제2유전막; 및

상기 유전막상의 제2전극

을 포함함을 특징으로 하는 캐패시터.

청구항 13

제 12 항에 있어서,

상기 제1유전막은 Al_2O_3 인 것을 특징으로 하는 캐패시터.

청구항 14

제 12 항에 있어서,

상기 제2유전막은 $TaON$, Ta_2O_5 및 BST 중에서 선택된 적어도 하나를 포함함을 특징으로 하는 캐패시터.

청구항 15

반도체기판상에 알루미늄이 함유된 제1게이트절연막을 형성하는 단계;

상기 제1게이트절연막상에 상기 제1게이트절연막보다 큰 유전율을 갖는 제2게이트절연막을 형성하는 단계; 및

상기 제2게이트절연막상에 게이트전극을 형성하는 단계를 포함함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2 게이트절연막을 형성한 후, 각각 상기 제1, 2 게이트절연막을 열처리하는 단계를 더 포함함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 열처리하는 단계는;

$800^{\circ}C \sim 950^{\circ}C$ 의 온도를 유지하는 급속열처리장치 또는 $700^{\circ}C \sim 800^{\circ}C$ 의 온도를 유지하는 전기로 중에서 선택된 하나의 열처리장치에서 이루어짐을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18

제 15 항에 있어서,

상기 제1게이트절연막은 Al_2O_3 인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 19

제 15 항에 있어서,

상기 제2게이트절연막은 $TaON$, Ta_2O_5 및 BST 중에서 선택되는 적어도 하나를 포함함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

제1전극을 형성하는 단계;

상기 제1전극상에 알루미늄이 함유된 제1유전막을 형성하는 단계;

상기 제1유전막상에 상기 제1유전막보다 유전율이 큰 제2유전막을 형성하는 단계; 및

상기 제2유전막상에 제2전극을 형성하는 단계를 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 제1전극을 형성한 후, 상기 제1전극 표면의 자연산화막을 제거하는 표면처리 단계를 더 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 표면처리 단계는,

HF 화합물을 사용하여 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 23

제 22 항에 있어서,

상기 HF 화합물을 이용한 표면처리 전, 후에 NH_4OH 용액 또는 H_2SO_4 용액을 이용한 계면처리 단계를 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 24

제 20 항에 있어서,

상기 제1전극을 형성한 후, 인시투 또는 엑시투로 상기 제1전극 표면을 질화처리하는 단계를 더 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 25

제 24 항에 있어서,

상기 질화처리는, 플라스마를 방전시켜 NH_3 가스 또는 N_2/H_2 가스 분위기에서 $300^\circ\text{C} \sim 500^\circ\text{C}$ 의 온도로 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 26

제 24 항에 있어서,

상기 질화처리는, $750^\circ\text{C} \sim 950^\circ\text{C}$ 의 온도 및 NH_3 가스 분위기를 유지하는 급속열처리장치에서 30초~120초동안 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 27

제 24 항에 있어서,

상기 질화처리는,

$500^\circ\text{C} \sim 1000^\circ\text{C}$ 의 온도 및 NH_3 가스 분위기를 유지하는 전기로에서 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 28

제 20 항에 있어서,

상기 제1유전막을 형성하는 단계는,

저압화학기상증착법, 또는 원자층증착법 중에서 선택되는 하나의 증착법으로 이루어지되, 상기 제1유전막은 Al_2O_3 인 것을 특징으로 하는 캐패시터의 제조 방법.

청구항 29

제 28 항에 있어서,

상기 Al_2O_3 의 저압화학기상증착법은, Al 성분의 화학증기를 MFC와 같은 유량조절기를 통해 증발기 또는 증발판으로 공급된 일정한 양의 $\text{Al}(\text{OC}_2\text{H}_5)_3$ 용액에 산소를 첨가시킨 후 $150^\circ\text{C} \sim 300^\circ\text{C}$ 의 온도범위내에서 증발시켜 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 30

제 20 항에 있어서,

상기 제2유전막을 형성하는 단계는, 저압화학기상증착법 또는 원자층증착법에 의해 이루어지되, 상기 제2 유전막은 Ta_2O_5 , Ta_2O_3 및 BST로 이루어진 그룹중에서 선택되는 적어도 하나를 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 31

제 30 항에 있어서,

상기 Ta_2O_5 의 저압화학기상증착법은, 300℃~600℃의 온도와 0.1~5torr의 압력으로 유지된 저압 화학기상 증착 챔버내에서 Ta 화합물 증기가스와 반응가스인 NH_3 가스(10sccm~1000sccm) 또는 O_2 가스(0sccm~300sccm)를 MFC를 통해 정량 공급하여 웨이퍼 상에서 일어나는 표면화학반응을 통해 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 32

제 31 항에 있어서,

상기 Ta 화합물 증기가스는 99.999% 이상의 $Ta(OC_2H_5)_5$ 또는 $Ta(N(CH_3)_2)_5$ 와 같은 유기금속화합물을 MFC와 같은 유량 조절기를 사용하여 150℃~200℃의 온도로 유지되고 있는 증발기 또는 증발관에서 증발시켜 생성하며, 상기 증기 가스는 응축을 방지하기 위해 150℃~200℃의 온도 범위를 항상 유지하는 공급관을 따라 0.1~5torr의 압력을 유지하는 상기 저압화학기상증착 챔버내로 주입되는 것을 특징으로 하는 캐패시터의 제조 방법.

청구항 33

제 1전극을 형성하는 단계;

상기 제1전극의 표면에 요철을 형성하는 단계;

상기 요철이 형성된 제1전극의 표면을 질화처리하는 단계;

상기 질화처리된 상기 제1전극상에 Al_2O_3 를 형성하는 단계;

상기 Al_2O_3 를 열처리하는 단계;

상기 열처리된 Al_2O_3 상에 Ta_2O_5 를 형성하는 단계;

상기 Ta_2O_5 를 열처리하는 단계; 및

상기 열처리된 Ta_2O_5 상에 제2전극을 형성하는 단계를 포함함을 특징으로 하는 캐패시터의 제조 방법.

청구항 34

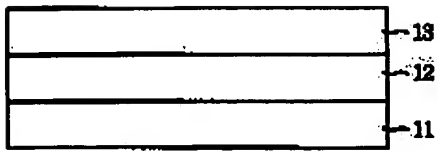
제 33 항에 있어서,

상기 Al_2O_3 및 Ta_2O_5 의 열처리는,

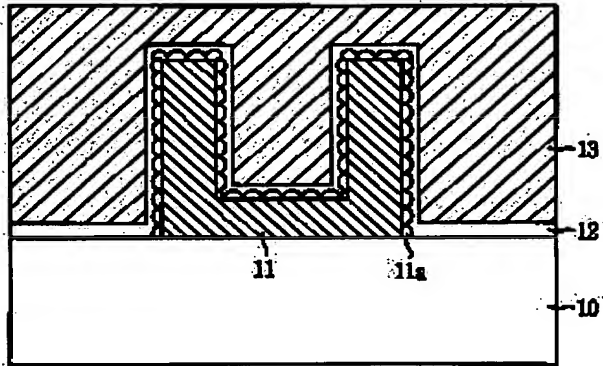
800℃~950℃의 온도를 유지하는 금속열처리장치 또는 700℃~800℃의 온도를 유지하는 전기로 중에서 선택된 하나의 열처리장치에서 이루어지되, 상기 금속열처리장치 및 상기 전기로는 N_2O , N_2 또는 N_2/O_2 가스 분위기를 유지함을 특징으로 하는 캐패시터의 제조 방법.

도면

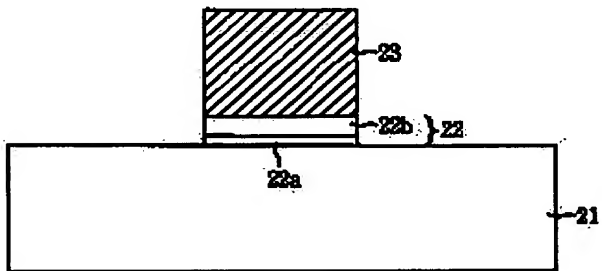
도 1



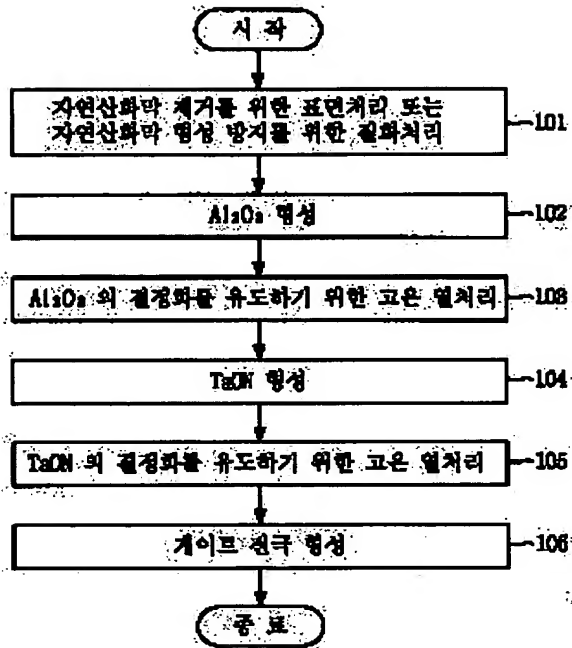
도 2



도 3



도 4



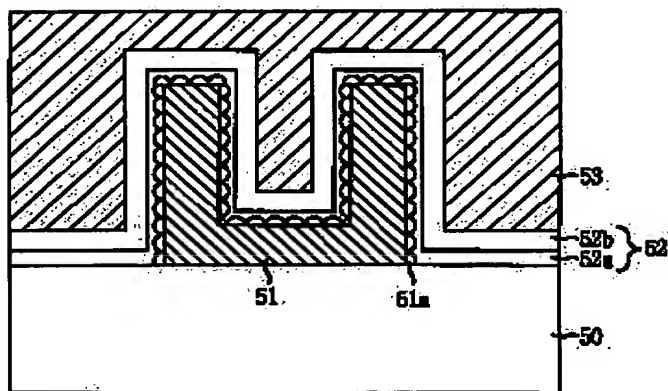
도 5



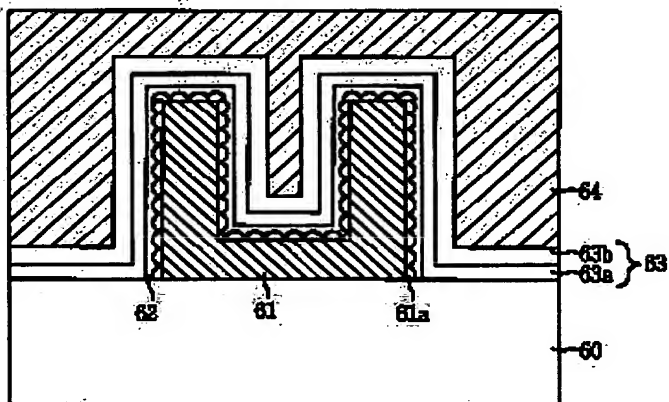
도 6



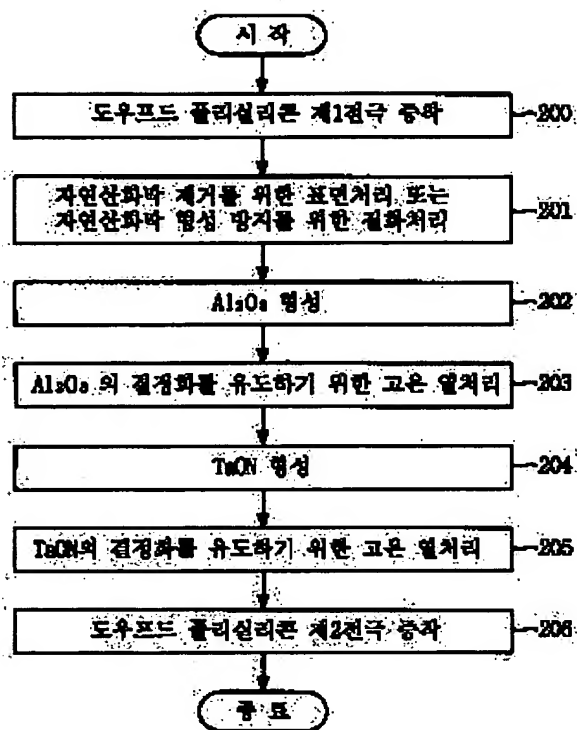
도 17



도 18



도 19



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.